

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03171378     \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY

PUB. NO.:     02-146878 [JP 2146878 A]

PUBLISHED:     June 06, 1990 (19900606)

INVENTOR(s):   IKEDA KATSUYUKI

                 HOSOKAWA MINORU

                 YAZAWA SATORU

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
                 , JP (Japan)

APPL. NO.:     01-234897 [JP 89234897]

FILED:           September 11, 1989 (19890911)

INTL CLASS:     [5] H04N-005/66; G02F-001/133; G09G-003/36

JAPIO CLASS:   44.6 (COMMUNICATION -- Television); 29.2 (PRECISION  
                 INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --  
                 Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL:        Section: E, Section No. 969, Vol. 14, No. 394, Pg. 56, August  
                 24, 1990 (19900824)

#### ABSTRACT

PURPOSE: To save power consumption of a drive circuit by dividing plural shift registers into plural groups and supplying a transfer clock to one group among the plural groups for each prescribed time interval.

CONSTITUTION: Each output of shift registers  $F_{(sub\ 1)}$ - $F_{(sub\ m)}$  switches a picture signal fed to a picture signal terminal 34. A register input timing data is inputted to a terminal 33. A gate circuit 36 stops a clock pulse given to a register 37 selectively. A transfer clock is inputted to a terminal 32 and given to a frequency divider 39 and the circuit 36. A decoder multiplexer 41 receives an output of a counter 40 and sends the inputted signal sequentially to close one of the circuits 36. Thus, one of the circuits 36 is selected and a clock is supplied to each block of a

selected shift register 37. Thus, number of stages of the register 37 is selected to be  $(m)$  and divided into  $k$ -blocks by  $n$ -stages each to reduce the power consumption of the drive circuit.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-146878

⑬ Int. Cl.<sup>5</sup>

H 04 N 5/68  
G 02 F 1/133  
G 09 G 3/36

識別記号

1 0 2 B  
5 0 5

庁内整理番号

7605-5C  
8708-2H  
8621-5C

⑭ 公開 平成2年(1990)6月6日

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平1-234897

⑰ 出 願 昭54(1979)6月22日

⑱ 特 願 昭54-78886の分割

⑲ 発 明 者 池 田 勝 幸 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑳ 発 明 者 細 川 稔 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

㉑ 発 明 者 矢 沢 悟 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

㉒ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

㉓ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

### 1. 発明の名称

液晶表示装置

### 2. 特許請求の範囲

液晶が封入された一対の基板上にマトリクス状に配置された複数の画素、画像信号をサンプリング信号によりサンブルし該複数の画素列に供給してなる複数のスイッチ手段、転送クロック信号により該サンプリング信号を発生し該スイッチ手段に供給してなる複数のシフトレジスタを有してなる液晶表示装置において、該複数のシフトレジスタは複数の群に分割され、一定の時間巾毎に該複数の群のうちの一の群に該転送クロック信号を供給してなる複数のゲート手段、該転送クロック信号を分周する分周手段、該分周された転送信号を計数するカウンタ手段、該カウンタ手段からのデータを読み取り、該複数のゲート回路のうちの任意の一つを選択するデータマルチプレクサを有し

てなることを特徴とする液晶表示装置。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明はマトリクス型の画像表示装置においてテレビジョン放送等の画像表示をする場合の、マトリクス表示画面に画像信号を供給する際の表示駆動回路に関する。

(従来の技術)

ここで述べるマトリクス型画像表示装置とは、画面全体が例えばXY方向にそれぞれ細分化された画素で構成され各画素は選択回路によって該画素に対応した画像信号が分配印加される事により画像表示を行なわせるものである。

第1図にマトリクス型画像表示装置によるテレビジョン受像装置の全体図の一例を示す。図中1はアンテナより入力される電波信号より所定のチャンネルの周波数を選択するチューナ部である。2は中間周波増幅器から映像検波までの回路、4は音声側の中間周波、検波、出力回路、3は映像

増幅回路である。5は映像検波出力から水平、垂直の各同期信号を分離する回路で6、7にそれぞれ水平、垂直の各同期信号を出力する。8、9は本発明に関する処のデータサンプル回路であり後に詳しく説明する。10はマトリクス表示部11の縦方向走査タイミング信号発生回路でデータサンプル回路9の出力をマトリクス表示部の各画素に分配する。マトリクス表示部11の具体的な回路の一例を第2図に示す。

第2図は液晶表示材料を用いた場合の回路の一例を示すのもで図中12は各画素の液晶を示す。14はマトリクスの各画素毎に配置された画素選択用のトランジスタである。13は画素容量補助の為に挿入したキャパシタである。

第3図にブロック8並びに9によって従来行なわれていたデータサンプルの方式に係るタイミング波形を示す。図中15は映像信号増幅回路3の出力となる映像信号波形であって一般的には時間的にシリアルなアナログ画像信号である。16は映像信号15を各データライン毎にサンプルする

データサンプルパルス列である。信号波形15の上に各データサンプル点をa、b、c、d、eで示してある。但し第3図は模範的な図であってパルス数、幅等は簡略化してある。因にT<sub>1</sub>はテレビ映像信号の場合の水平周期、T<sub>2</sub>は水平帰線期間を示す。

第4図はデータサンプル回路8、9の従来の具体的回路の一例と波形を示す。回路はシフトレジスタで構成され17は転送クロック、18はレジスタ入力タイミングデータを入力する端子で、19はディレイフリップフロップである。各データラインのサンプル回路をスイッチングさせるゲート制御信号の一部が16である。

今、第4図の端子20に第3図15に示す映像波形を入力し、端子18にゲート回路群の1を選択するためのタイミングデータ波形23をまた転送クロック端子17に22の波形を入力すれば、第3図16に示すような波形が各フリップフロップ19の出力24、25、26には第3図16に示すような波形を生じる。この波形はスイッチ素

子28、29、30、31の制御端子に接続され順次、スイッチ素子をオン、オフする。液晶マトリクス表示部の画素毎に構付けられたコンデンサ13はスイッチ素子がオフする寸前の画像信号波形15の値すなわちa、b、c……点の電圧を順次保持する。

従来のマトリクス型画像表示の駆動回路はすべてこのような方式に従っている。

(従来技術の問題点及び発明の目的)

この従来の駆動回路の欠点は消費電力の大きい点にある。一般に消費電力は使用する素子の性質によるところが大きいが低消費電力性の相補MOS集積回路を用いても膨大となりポータブルテレビジョン等を実現する上で電源の全体重量に占める割合が大きくなりまたじゅうぶんな電池寿命を保証できない。例えばテレビジョン表示を行なう場合、画素数は500×500程度必要で、従ってシフトレジスタの段数は約500段必要である。一方、テレビジョン信号の1水平走査時間は帰線時間を除いて約52μsecである。従って

シフトレジスタ8の転送クロック22の周波数fは

$$f = \frac{1 \times 500}{52 \times 10^{-6}} \approx 10^4 \text{ Hz}$$

となる。相補MOS集積回路の消費電力Pはゲート容量及びドレイン負荷容量Cと電源電圧V、使用周波数fによって計算されることが知られている。

$$P = f C V^2$$

V=15V、シフトレジスタ1段あたりのゲート及びドレイン負荷容量を0.5pFとすると、  
 $P = 10^4 \times 0.5 \times 10^{-12} \times 500 \times 15^2 \approx 56 \times 10^{-3} \text{ W}$   
 となる。

本発明は従来のかかる欠点を除去しシフトレジスタ部での駆動電力を10分の1以下に減少させることを目的とする。

(発明の実施例)

第5図は本発明による画像駆動回路の実施例を示す図である。図中、37はシフトレジスタを構成するためのフリップフロップで各段に図に示すようにF<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>、……F<sub>n</sub>、と番号を

付して呼ぶことにする。シフトレジスタの各出力は画像信号端子-34に加えられた画像信号をスイッチングするためのゲート回路-38の制御端子に接続され、順次画像信号をスイッチングする。端子-33はレジスタ入力タイミングデータを入力する端子で第3図23に示すような波形を入力する。32は転送クロックの入力端子でゲート回路-36により論理積をとりフリップフロップ-37に加えられる。ゲート回路-36はK個のゲートより成り図に示すようにG<sub>1</sub>、G<sub>2</sub>、…、G<sub>n</sub>と名前を付す。ゲート回路-36はシフトレジスタ-37に与えるクロックパルスを選択的に止める。第3図に示すようにゲート回路-38は常にどれか1つだけオンしていればよい（同時に2つ以上オンすることはない。）から第5図に示すようにシフトレジスタ-37をKブロックにわけ、ゲート回路-38がオンしている近傍のフリップフロップのみに転送クロックパルスが供給されていればよく、シフトレジスタ-37を構成するすべてのフリップフロップに常時供給される必

要はない。35は第2のシフトレジスタで端子40をデータ入力端子としこの端子に入力された信号を順次送ることによりゲート回路G<sub>1</sub>、G<sub>2</sub>、…、G<sub>n</sub>のうちのどれか1つを開じる。39は分周比1/nの分周回路である。さらに、分周回路39からの出力は、カウンタ40に供給される。

ここで、カウンタ40とデコードマルチプレクサ-41によりゲート回路G<sub>1</sub>～G<sub>n</sub>の1つを選択し選択されたシフトレジスタ-37の各ブロックにクロックを供給する。この場合、カウンタ40、及び分周器-39にバイナリカウンタを使用する。シフトレジスタ-37の段数をmとし、n個ずつKブロックにわけた場合の消費電力を計算してみる。fを端子32に与える周波数、Cをフリップフロップ1段あたりのゲート容量、負荷容量の合計とすると前述のごとく従来回路では消費電力Pは

$$P = f C m V^2$$

本発明による回路では、シフトレジスタ-37により消費される電力P<sub>1</sub>は

$$P_1 = f C n V^2$$

一方、カウンタ40、分周器39、デコード41により消費される電力P<sub>2</sub>は、シフトレジスタ37を構成するフリップフロップ2個弱ぶんの電力となる。即ち、

$$P_2 = \frac{2}{Z} \sum_{i=1}^{21} \frac{f}{C V^2} \approx 2 f C V^2$$

デコーダ-41部分の消費電力はKが大きくなる程複雑となるのでK=10～20に選ぶのがよい。また、n=1、K=mとしたときはシフトレジスタ-37は省力できる（デコーダ-41の出力を直接、ゲート回路-38の制御端子に加える。）が、カウンタ-40のタイミングのずれ等の問題を生じやすい。

〔発明の効果〕

上述の如く本発明は液晶が封入された一対の基板上にマトリクス状に配列された複数の画素、画像信号をサンプリング信号によりサンブルし該複数の画素列に供給してなる複数のスイッチ手段、転送クロック信号により該サンプリング信号を発

生し該スイッチ手段に供給してなる複数のシフトレジスタを有してなる液晶表示装置において、該複数のシフトレジスタは複数の群に分割され、一定の時間毎に該複数の群のうちの一の群に該転送クロック信号を供給してなる複数のゲート手段、該転送クロック信号を分周する分周手段、該分周された転送信号を計数するカウンタ手段、該カウンタ手段からのデータを読み取り、該複数のゲート回路のうちの任意の一つを選択するデータマルチプレクサを有してなるようにしたから、液晶装置の駆動回路の消費電力を従来の1割り以下に減らすことが可能であり、液晶等の低消費電力性能を生じたシステムの完成が実現できる効果を有する。

#### 4. 図面の簡単な説明

第1図はマトリクス型画像表示装置によるテレビジョン受像装置を示す図。

第2図は従来の駆動回路図。

第3図は従来のタイミング波形図。

第4図は従来のデータサンプル回路図。

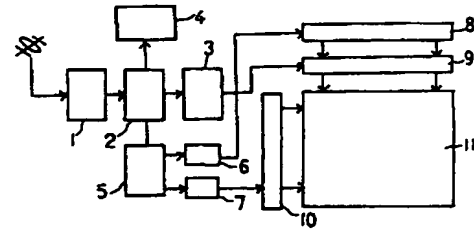
第5図は本発明による表示駆動回路図。

- 1 1 …マトリクス型表示体
- 2 2 …転送クロック波形
- 2 3 …タイミングデータ波形
- 3 5 …シフトレジスタ
- 3 6 …ゲート回路
- 3 7 …シフトレジスタ
- 3 8 …ゲート回路 (アナログ)
- 4 0 …カウンタ
- 4 1 …デコーダ

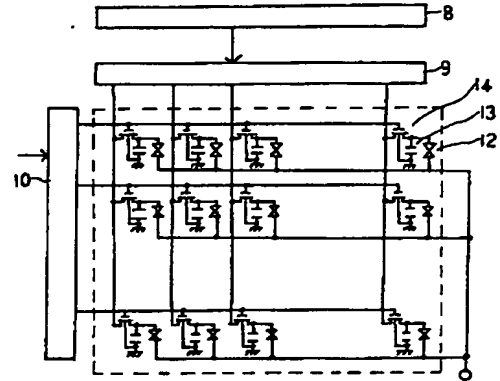
以上

出願人 セイコーエプソン株式会社

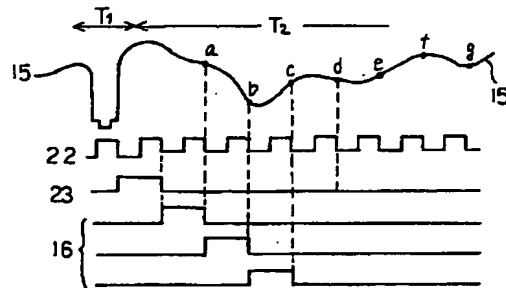
代理人弁理士 鈴木喜三郎 他1名



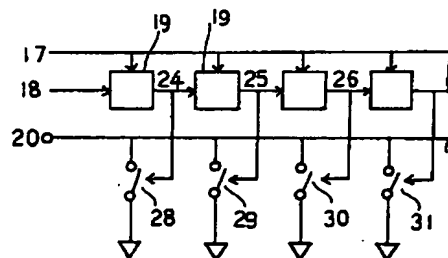
第 1 図



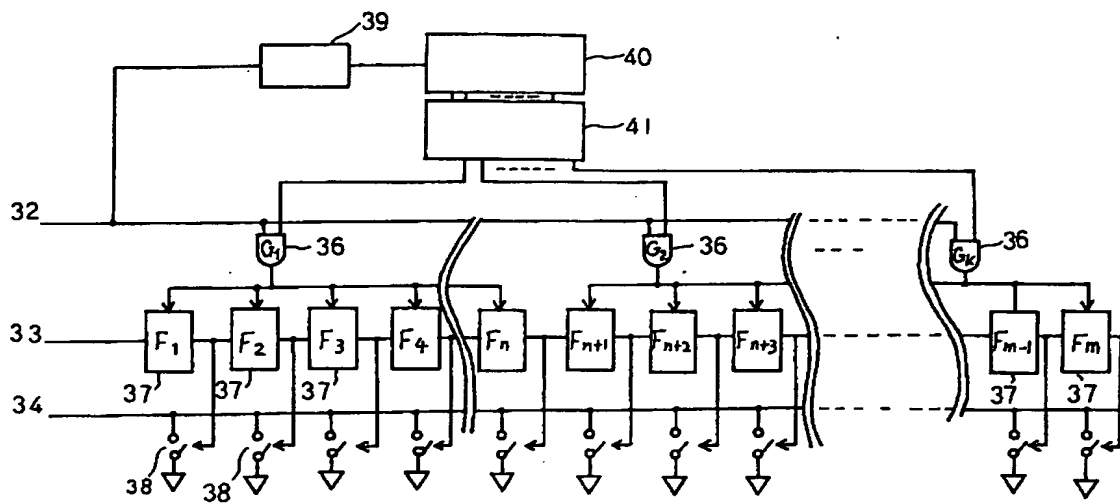
第 2 図



第 3 図



第 4 図



第 5 図